

Requested Patent: JP2004055902A
Title: ;
Abstracted Patent: JP2004055902 ;
Publication Date: 2004-02-19 ;
Inventor(s): ;
Applicant(s): ;
Application Number: JP20020212729 20020722 ;
Priority Number(s): JP20020212729 20020722 ;
IPC Classification: H01L23/28 ;
Equivalents: ;
ABSTRACT:

March 16, 2004 10:26am Page 1

c s9/3,ic,ba/1,2,3,7,8,11,13,17

(R)

9/3,IC,BA/1 (Item 1 from file: 331)
DIALOG(R)File 331:Derwent WPI First ViewUD=200417
(c) 2004 Thomson Derwent. All rts. reserv.

0000968058

A semiconductor device, its manufacturing method, and the bread board
using this

Patent Assignee: MATSUSHITA DENKI SANGYO KK, (MATU-C), JP
Patent No Kind Date Applicat No Kind Date Update
JP 2004055902 A 20040219 JP 2002212729 A 20020722 200414 B
Priority: JP 2002212729 A 20020722
Priority Applications (No Type Date): JP 2002212729 A 20020722

Filing Details:

Patent No Kind Lan Pg Filing Notes
JP 2004055902 A JPN 12

International Patent Class - Main: H01L-023/28

ALERTING ABSTRACT - USES - This invention starts a semiconductor device, its manufacturing method, and the bread board that used this, and is related to the semiconductor device which comprised the package which makes a terminal arrangement change in particular.

ADVANTAGE - As mentioned above, it can perform, without terminal arrangement alteration **replacing** an **input**-**output** **cell** by providing a terminal arrangement alteration means in the resin package of a semiconductor device, and on a semiconductor device according to this invention, as demonstrated

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-55902
(P2004-55902A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int.Cl.⁷
H01L 23/28

F I
H01L 23/28
H01L 23/28

A
F

テーマコード (参考)
4M109

審査請求 未請求 請求項の数 11 O L (全 12 頁)

(21) 出願番号 (22) 出願日	特願2002-212729 (P2002-212729) 平成14年7月22日 (2002.7.22)	(71) 出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地 (74) 代理人 100105647 弁理士 小栗 昌平 (74) 代理人 100105474 弁理士 本多 弘徳 (74) 代理人 100108589 弁理士 市川 利光 (74) 代理人 100115107 弁理士 高松 猛 (74) 代理人 100090343 弁理士 栗宇 百合子
		最終頁に続く

(54) 【発明の名称】 半導体装置、その製造方法およびこれを用いたブレッドボード

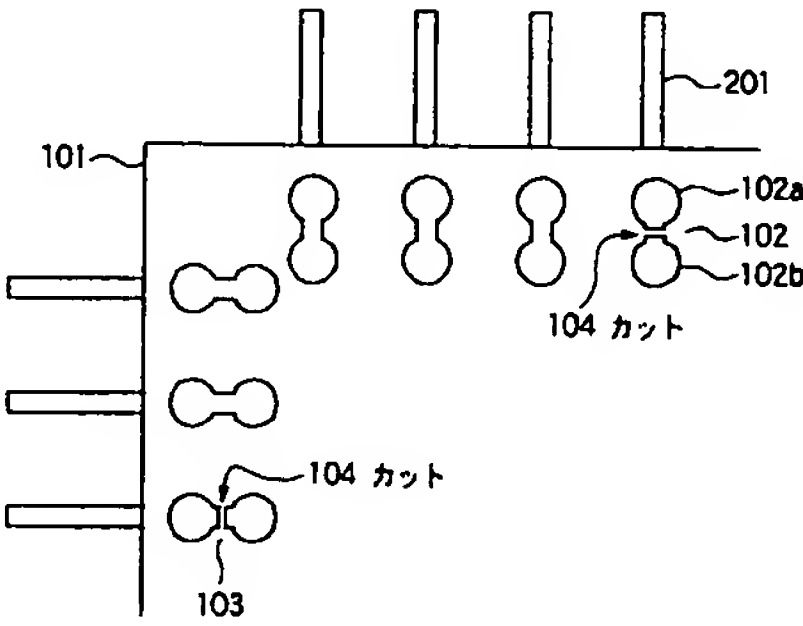
(57) 【要約】

【課題】半導体集積回路パッケージ上で端子配置変更を可能にし、端子の任意配置を実現する。

また、ブレッドボード上での半導体集積回路の高密度実装を実現し、設計工数を削減し、低コストで信頼性の高いブレッドボード組立を行う。

【解決手段】リード端子の一部が露呈し、外部端子を構成するように、半導体チップとこれに接続される前記リード端子とを、樹脂パッケージ内に封止した半導体装置において、前記入出力パッドと前記リード端子との間での再配線を可能にする再配線部を具備したことを特徴とする。

【選択図】 図3



【特許請求の範囲】

【請求項1】

リード端子の一部が露呈し、外部端子を構成するように、半導体チップとこれに接続される前記リード端子とを、樹脂パッケージ内に封止した半導体装置において、
入出力パッドと前記リード端子との間での再配線を可能にする再配線部を、具備したことを特徴とする半導体装置。

【請求項2】

前記再配線部は、

前記パッケージの表面に露呈するように、前記半導体チップの入出力パッドと、前記外部端子とに接続されたスリットランドからなり、

端子変更箇所の前記スリットランドを切り離し、前記パッケージの表面、あるいは裏面上で再配線をすることにより端子配置を変更できるようにしたことを特徴とする半導体装置

10

【請求項3】

前記再配線部は、前記パッケージの内部または表面に、前記半導体チップの入出力パッドと、前記外部端子とに接続された、ヒューズとを具備し、前記ヒューズのうち、接続に必要なヒューズを残して、接続に不必要なヒューズを切断することにより、端子配置を変更できるようにしたことを特徴とする請求項1記載の半導体装置。

【請求項4】

前記ヒューズは、前記半導体チップの入出力パッド数と前記リード端子数との積に相当する数だけ配設されていることを特徴とする請求項3記載の半導体装置。

20

【請求項5】

前記再配線部は、前記パッケージの内部または表面に、前記半導体チップの入出力パッドと、前記外部端子とに接続された、トランジスタスイッチとを具備し、接続に必要なトランジスタスイッチをオンすることにより、端子配置を変更できるようにしたことを特徴とする請求項1に記載の半導体装置。

【請求項6】

前記トランジスタスイッチは、前記半導体チップの入出力パッド数と前記リード端子数との積に相当する数だけ配設されていることを特徴とする請求項5記載の半導体装置。

【請求項7】

半導体チップの入出力パッドに接続媒体を介してリード端子を接続する工程と、
前記リード端子の一部が露呈し、外部端子を構成するように、前記半導体チップとこれに接続される前記リード端子とを、樹脂パッケージ内に封止する封止工程とを含み、
前記封止工程前または後に、前記接続媒体を加工することにより、前記入出力パッドと前記リード端子との間での再配線を行う再配線工程とを含むことを特徴とする半導体装置の製造方法。

30

【請求項8】

前記接続媒体は、樹脂パッケージ表面に露呈するスリットランドであり、

前記再配線工程は、前記スリットランドを、切断し、切断されたスリットランドを接続することにより再配線を行う工程であることを特徴とする請求項7に記載の半導体装置の製造方法。

40

【請求項9】

前記接続媒体は、半導体チップ表面に形成されたヒューズであり、

前記再配線工程は、樹脂封止に先立ち、接続箇所の前記ヒューズ以外を切断することにより再配線を行う工程を含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】

前記接続媒体は、半導体チップ内部に形成されたトランジスタと、前記トランジスタのゲート配線にトランジスタの導通を可能にする電位を付与する電位供給手段とを含み、

前記再配線工程は、樹脂封止に先立ち、接続箇所の前記ゲート配線に前記電位を付与する工程を含むことを特徴とする請求項7に記載の半導体装置の製造方法。

50

【請求項 11】

請求項 1 乃至 6 のいずれかに記載の半導体装置または前記請求項 7 乃至 10 のいずれかに記載の半導体装置の製造方法を用いて形成した半導体装置を搭載してなるフレッドボード

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、その製造方法およびこれを用いたフレッドボードにかかり、特に端子配置変更可能なパッケージを具備した半導体装置に関するものである。

【0002】

【従来の技術】

半導体集積回路装置をフレッドボードなどの基板に実装する場合において、そのフレッドボードの設計は予め半導体集積回路装置の端子配置が決定した後実施しなくてはならず、半導体集積回路装置自身の端子配置変更は、入出力セルの入れ換えに伴う再レイアウトや配置配線、実遅延シミュレーション等の設計工数も増え、費用や期間の面でも種々の問題がある。

加えて、フレッドボードなどの基板の設計も微細化や多層化になってきており、基板の再設計も半導体集積回路装置の端子配置変更と同様に費用や期間の面でも困難になってきている。

【0003】

以下に従来の半導体装置における端子配置の変更方法を示す。図 12、図 13 は、従来技術を説明するための図である。

このフレッドボードは、銅などの導体パターンからなる配線 1204、1205、1206 の形成されたプリント基板からなる基板 1201 上に、半導体集積回路装置 1202、1203 を搭載してなるものである。大量の信号を高速に処理するフレッドボードを作成するためには、出来るだけ半導体集積回路装置 1202、1203 間の距離を短くして高密度に基板に実装することが必要である。しかし、従来の半導体集積回路の構造で従来のように基板に実装する限り、半導体集積回路装置の端子配置が固定されているために、高密度実装に際して不都合が生じることがある

【0004】

例えば、図 12 に示すように、二つの半導体集積回路装置 1202、1203 間の配線 1204 が、配線 1206 や配線 1205 を避けるため半導体集積回路装置 1202 の周囲を大きく迂回しなければならなかったり、半導体集積回路の片側に配線が集中して配線作業が難しくなったりする。この結果、基板に搭載し得る半導体集積回路の数が制限される。また無用に長い配線のために回路自体の信頼性が低下することもある。

【0005】

また、予め作られた基板上の配線用導体パターンの種類や数によって、一枚の基板上に実装可能な半導体集積回路装置の数が制限される。

このため回路構成によっては、半導体集積回路の数が少ないにも拘らず、配線用導体パターンの数が多いため、半導体集積回路の種類が多いために一枚の基板にすべてを実装することができず、基板を二枚以上用いなければならないといった事態が生じる。この場合には、基板上に未使用の配線パターンが多数残り、無駄が多いものとなる。

【0006】

また、従来の端子配置の変更方法としては、図 13 に示すように、フレッドボード 1301 と半導体集積回路 1303 との間に端子配置を変更する変換基板 1302 を用いるのが一般的であった。ここで 1304 は変換基板からの端子（端子配置変換後）、1304 は基板上の変換基板端子差し込み口である。

【0007】

【発明が解決しようとする課題】

上記のように従来の構成では、回路構成によっては、半導体集積回路装置の数が配線用導体パターンの数より少ないにも拘らず、半導体集積回路の種類が多いために一枚の基板に

10

20

30

40

50

すべてを実装することができず、基板を二枚用いなければならないといった事態が生じるという欠点を有していた。

また、変換基板による端子配置変更は、変換基板に半導体集積回路装置を実装したあと、フレッドボードに実装しなくてはならず、実装工数の増大を招く原因となる。また、フレッドボードの信頼性が低下する。

【0008】

本発明は、前記実情に鑑みてなされたもので、半導体集積回路パッケージ上で端子配置変更を可能にし、端子の任意配置を実現することを目的とする。

また、フレッドボード上での半導体集積回路の高密度実装を実現し、設計工数を削減し、低コストで信頼性の高いフレッドボード組立を目的とする。

10

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置は、リード端子の一部が露呈し、外部端子を構成するように、半導体チップとこれに接続される前記リード端子とを、樹脂パッケージ内に封止した半導体装置において、入出力パッドと前記リード端子との間での再配線を可能にする再配線部を具備したことを特徴とする。

【0010】

望ましくは、前記再配線部は、前記パッケージの表面に露呈するように、前記半導体チップの入出力パッドと、前記外部端子とに接続されたスリットランドからなり、端子変更箇所の前記スリットランドを切り離し、前記パッケージの表面、あるいは裏面上で再配線を行うことにより端子配置を変更できるようにしている。

20

【0011】

望ましくは、前記再配線部は、前記パッケージの内部または表面に、前記半導体チップの入出力パッドと、前記外部端子とに接続された、ヒューズを具備し、接続に必要なヒューズを残して、接続に不必要なヒューズを切断することにより、端子配置を変更できるようにしたことを特徴とする。

【0012】

望ましくは、前記ヒューズは、前記半導体チップの入出力パッド数と前記リード端子数との積に相当する数だけ配設されていることを特徴とする。

【0013】

望ましくは、前記再配線部は、前記パッケージの内部または表面に、前記半導体チップの入出力パッドと、前記外部端子とに接続された、トランジスタスイッチを具備し、接続に必要なトランジスタスイッチをオンすることにより、端子配置を変更できるようにしたことを特徴とする。

30

【0014】

望ましくは、前記トランジスタスイッチは、前記半導体チップの入出力パッド数と前記リード端子数との積に相当する数だけ配設されていることを特徴とする。

【0015】

本発明の半導体装置の製造方法は、半導体チップの入出力パッドにリード端子を接続媒体を介して接続する工程と、前記リード端子の一部が露呈し、外部端子を構成するように、前記半導体チップとこれに接続される前記リード端子とを、樹脂パッケージ内に封止する封止工程とを含み、前記封止工程前または後に、前記接続媒体を加工することにより、前記入出力パッドと前記リード端子との間での再配線を行う再配線工程を含む。

40

【0016】

望ましくは、前記接続媒体は、樹脂パッケージ表面に露呈するスリットランドであり、前記再配線工程は、前記スリットランドを切断し、切断されたスリットランドを接続することにより再配線を行う工程を含む。

【0017】

望ましくは、前記接続媒体は、半導体チップ表面に形成されたヒューズであり、再配線工程は、樹脂封止に先立ち、接続箇所の前記ヒューズ以外を切断することにより再配線を

50

行う工程を含むことを特徴とする。

【0018】

望ましくは、前記接続媒体は、半導体チップ内部に形成されたトランジスタと、前記トランジスタのゲート配線にトランジスタの導通を可能にする電位を付与する電位供給手段とを含み、前記再配線工程は、樹脂封止に先立ち、接続箇所の前記ゲート配線に前記電位を付与する工程を含むことを特徴とする。

【0019】

また本発明のブレードボードは、上記半導体装置または上記半導体装置の製造方法を用いて形成した半導体装置を搭載してなる。

【0020】

上記のような、半導体集積回路パッケージ内部に端子配置変更の仕組みを具備した構成の半導体集積回路パッケージによれば、従来の交換基板による端子接続変更による設計工数の増大や信頼性の低下を防ぐことができる。また、ブレードボード上の接続用導体パターンの回り込みや、接続用導体パターンの一辺への集中によるブレードボード枚数の増加を防ぐことができ、高性能化および信頼性の向上をはかることができるという作用を有する。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態について一例を図面を参照して詳細に説明する。

図1(a)および(b)は、本発明の実施例1による半導体装置に用いられる半導体集積回路装置の上面図およびそのA-A断面図である。また、図2は、図1の一部の要部拡大図である。図3は、本発明の実施例1によるスリットランドをカットした状態を示す図で、図4は、図3のカットしたスリットランドを配線により再接続した状態を示す図である。図5は、本発明の実施例1による半導体集積回路装置の一部破断斜視図で、図6は、図5のスリットランドをカットした状態を示す一部破断斜視図である。

【0022】

この半導体装置では、半導体チップ300の入出力パッド301と、外部端子を構成する外部リード201とに接続されたスリットランド102、103がパッケージ101の表面に露呈するように、構成されており、端子変更箇所のスリットランド102、103を切り離し、パッケージ101の表面上で再配線をすることにより端子配置を変更できるようにしたことを特徴とするものである。

【0023】

図1(a)および(b)に示すように、101は半導体集積回路のパッケージで、そのパッケージ表面上に入出力端子数に対応した導体薄膜パターンからなるスリットランド102を配置している。

【0024】

各スリットランド102と外部リード201との接続は、例えば図5に示すように、スリットランド102を介してボンディングワイヤ202および302によって接続されている。すなわち、半導体集積回路パッケージ101の内部に、半導体チップ300が配置され、前記半導体チップ300上のパッド301と半導体集積回路パッケージ101の表面のスリットランド102、103の片側102a、103aに接続されている。さらに、前記スリットランド102、103のもう片側102b、103bと半導体集積回路パッケージ101の外部リード201と接続されている。

【0025】

以上のように構成された半導体集積回路パッケージについて、以下その端子配置変更（再配線）の方法を説明する。

【0026】

図3で示すように、端子配置を変更したい箇所の半導体集積回路パッケージ101上のスリットランド102、103を中央部分のカットライン104で切り離し非導通にする。その後、図4で示すように、端子配置を変更したい部分の切り離されたスリットランド1

10

20

30

40

50

02、を樹脂被覆のなされた金ワイヤなどの配線105、106で配線することにより2端子の配置の入れ換えが可能となる。配線105、106は絶縁被覆のなされた線材を用いれば、配線同士が重なり合ってもショートすることはない。

【0027】

この半導体装置によれば、樹脂封止後、ブレッドボードの配線パターンに合わせて、ストリップランドをカットし、パッケージ上で再配線を行うようにすることにより、外部リードとブレッドボード上の配線パターンとの接続を一定の状態にしつつも、所望の配線接続を行うことが可能となる。

【0028】

なお、前記第1の実施の形態では、スリットランドをパッケージ表面に形成された導体薄膜パターンで構成したが、表面に導体パターンを形成したフィルムキャリアを使用し、フィルム基体の半導体チップ側に位置する導体パターンをスルーホールで相互接続したものを接続媒体として用いるようにしてもよい。この場合は半導体チップ搭載面の反対側の面の導体パターンでスリットランドを構成するようにしても良い。

【0029】

(第2の実施の形態)

次に本発明の第2の実施の形態について説明する。図7は、半導体集積回路パッケージの内部配線レイアウトの概念図である。

【0030】

この例では、図7に示すように、半導体チップ表面を覆うように絶縁膜(図示せず)を形成し、この絶縁膜に、半導体チップ701表面の入出力パッドに相当する領域に導通するようにスルーホールを形成し、パッドを形成し、このパッド上に各信号線にまたがるように薄膜ヒューズ826を形成し、この薄膜ヒューズを切断することにより、所望の端子配置となるようにするものである。

【0031】

また図8は、図7での端子変更方法を具体的に示す図である。この半導体装置は、樹脂パッケージ701から端部が露呈した外部端子702、703、704、705、706を具備し、この外部端子702、703、704、705、706は(図示しないボンディングワイヤなどを介して)半導体チップ701の第1層配線層からなる第1の内部配線712、713、714、715、716に接続されている。一方、この第1の内部配線712、713、714、715、716は、層間絶縁膜(図示せず)を介して形成された第2層配線層である第2の内部配線721、722、723、724、725と、1箇所の接合点727、728、729、730、731でのみ接続されている。

【0032】

そして、この第2の内部配線721、722、723、724、725は、樹脂パッケージ701の内部の半導体チップ707のパッド708、709、710、711に接続される第3層配線層である第3の内部配線717、718、719、720と薄膜ヒューズ826を介して接続されている。なお図中層間絶縁膜およびスルーホールは省略した。

【0033】

以上のように構成された半導体装置について、その端子配置変更の具体的な方法の一例を図8を用いて説明する。

【0034】

ここで樹脂パッケージ701から導出される外部端子703は樹脂パッケージ701の内部配線713に接続されており、さらに第2層に用意された内部配線722との1箇所の接合点731で、樹脂パッケージ701の内部の半導体チップ707のパッド711に接続される第3層の内部配線720と未切断のヒューズ830を介して接続されている。同様にして他外部端子も樹脂パッケージ内部の半導体チップのパッドと接続可能である。

【0035】

本発明の第2の実施の形態の半導体装置によれば、樹脂封止前に、チップ表面に形成された薄膜ヒューズを接続すべき箇所を除いて切断することにより、容易に再配線可能である

10

20

30

40

50

【0036】

なお、前記実施の形態では、薄膜ヒューズを用いたが、絶縁膜上にパッドを形成しておき、各パッドに、チップ部品としてのヒューズを搭載するようにしてもよい。

【0037】

また厚膜印刷で形成した厚膜ヒューズを用いてもよいことはいうまでもない。さらにまた配線方向や配線パターンについては適宜変更可能であることはいうまでもない。

【0038】

(第3の実施の形態)

次に本発明の第3の実施の形態について説明する。図9は、本発明の実施例3による半導体装置の内部配線レイアウトの概念図である。図10は、一部拡大図である。

10

【0039】

図9において、樹脂パッケージ901は、外部端子902、903、904、905、906を具備し、この外部端子902、903、904、905、906は樹脂パッケージ901の内部配線912、913、914、915、916に接続されている。ここで第1層配線層である第1の内部配線912、913、914、915、916は、921、922、923、924、925の第2層配線層である第2の内部配線とこれらの間に形成された層間絶縁膜に形成されたスルーホールを介して接合点927、928、929、930、931でそれぞれ1箇所ずつのみ接合されている。

【0040】

20

そして、第2の内部配線921、922、923、924、925は、樹脂パッケージ901の内部の半導体チップ907のパッド908、909、910、911に接続される第3層配線層である第3の内部配線917、918、919、920とトランジスタスイッチ926を介して接続されている。このトランジスタスイッチは、半導体チップ内に形成されたトランジスタのゲートに接続する配線のみが半導体チップ表面に露呈するように形成されており、このゲート部分に電位を与えることにより導通可能なように形成されている。

【0041】

この半導体装置の端子配置変更の具体的な方法については、第2の実施の形態と同様であり、前記第2の実施の形態で接続に必要なヒューズ以外のヒューズを切断する行為に代えて、実施例3では接続に必要なトランジスタスイッチのみを導通状態にするだけである。

30

【0042】

図10で示すように、トランジスタスイッチ926はトランジスタスイッチのゲート部分に接続された配線1009、1010に電位を与えることにより導通状態となり、任意に端子変更が可能である。

【0043】

このように端子変更を行うことにより、図12で示したように長い配線1204、1206を用いねばならなかったのに対し、前記第1乃至第3の実施の形態で説明したように、パッケージ上またはパッケージ内で端子変更を行うことにより、図11に一例を示すように、ブレッドボード1101上では、短い配線1114および1116で実現可能となる。これは第1および第2の半導体装置1102、1103の相互接続をブレッドボード1101上で行うもので、第1の半導体装置1102内で端子変更を行うことによるものである。すなわち、本来端子1107から導出すべきであった配線を端子1113から導出し、端子1108から導出すべきであった配線を端子1115から導出している。かかる構成により、大幅に配線長を低減することが可能となる。

40

【0044】

さらに、前記第2の実施の形態ではヒューズを切断するため端子配置変更は1回限りであるが、第3の実施の形態では端子変更をトランジスタスイッチのゲートへの電位付与で行うようにしているため何度でも任意端子配置を行うことが可能である。

50

【0045】

このように従来は、再レイアウトや配置配線、実遅延シミュレーションが必要となり、設計工数も増え、費用や期間の面でもかなり困難であった半導体チップの入出力セルの入れ換えなどの端子変更が、本発明によれば極めて容易となる。

【0046】

【発明の効果】

以上、説明したように、本発明によれば半導体装置の樹脂パッケージ内または半導体装置上に端子配置変更手段を設けることにより、端子配置変更が、入出力セルの入れ換えを行うことなく、実行可能となる。

【0047】

また、端子配置が自由に変更可能となることによりフレッドボード上での半導体集積回路の高密度実装を実現し、設計工数を削減し、低コストで高い信頼性のフレッドボード組立が可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置上面図および断面図

【図2】図1の一部拡大図

【図3】本発明の第1の実施の形態によるスリットランドをカットした図

【図4】図3のカットしたスリットランドを配線により再接続した図

【図5】本発明の第1の実施の形態の半導体装置の一部破断図

【図6】図5のスリットランドをカットした図

【図7】本発明の第2の実施の形態による半導体装置の内部配線レイアウト図

【図8】図7で端子変更方法を具体的に示す図

【図9】本発明の第3の半導体装置の内部配線レイアウト図

【図10】図9の一部を拡大して示す図

【図11】本発明の第3の実施の形態の半導体装置を用いた半導体装置のフレッドボードの配線例を示す図

【図12】従来例の半導体装置を用いたフレッドボードの配線例を示す図

【図13】従来の一般的な端子配置変更用の変換基板を示す図

【符号の説明】

101 樹脂パッケージ
 201 入出力端子
 202 ワイヤ
 102、103 ストリップランド
 104 カットライン
 102、103、105、106 配線
 102、104、201 外部端子
 302 ワイヤ
 707、807、907、4 シリコンチップ
 708、709、710、711、908、909、910、911、シリコンチップ上のI/Oパッド
 712、713、714、715、716、912、913、914、915、916
 外部入出力端子から半導体集積回路パッケージ内部への配線
 717、718、719、720、917、918、919、920 シリコンチップ上パッドからの配線
 721、722、723、724、725、921、922、923、924、925
 外部入出力端子から半導体集積回路パッケージ内部への配線とシリコンチップ上パッドからの配線を接続するための中間配線
 727、728、729、730、731、927、928、929、930、931
 外部入出力端子から半導体集積回路パッケージ内部への配線と中間配線との接合点
 826、827、828 ヒューズ

10

20

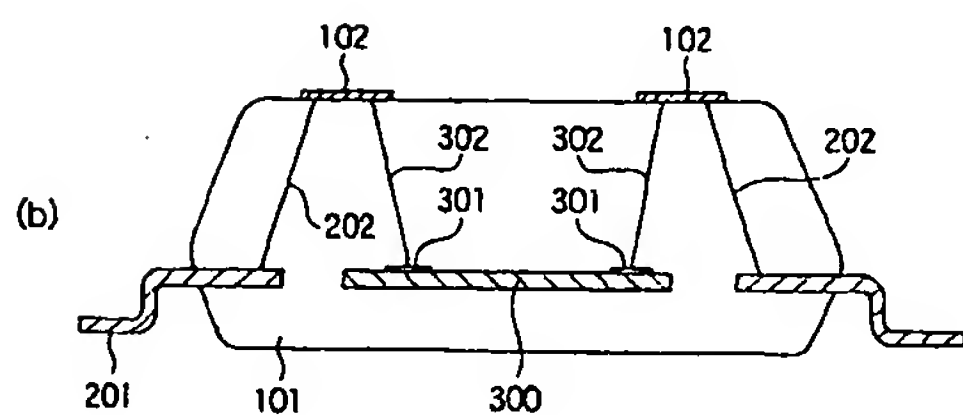
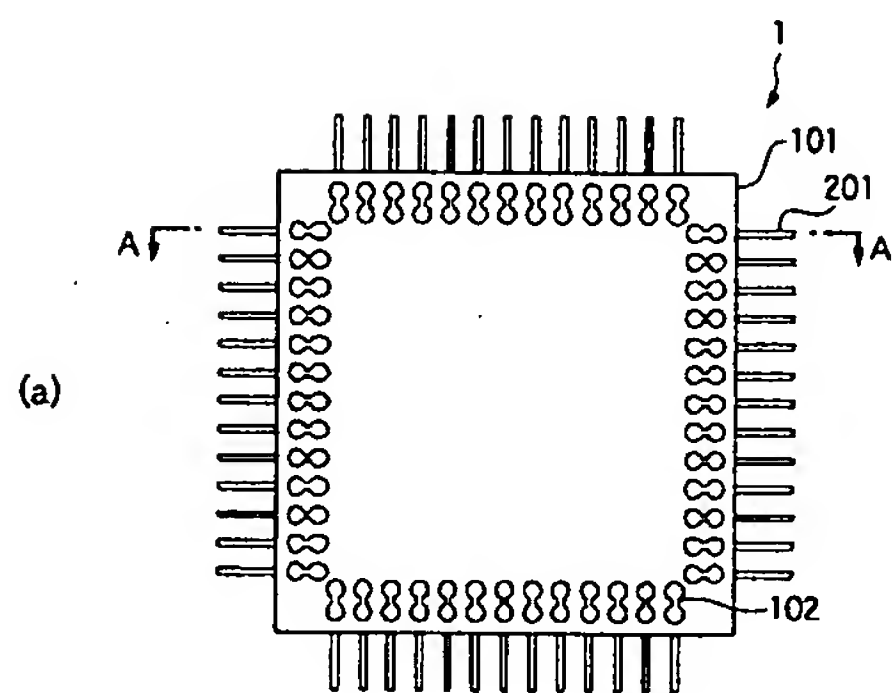
30

40

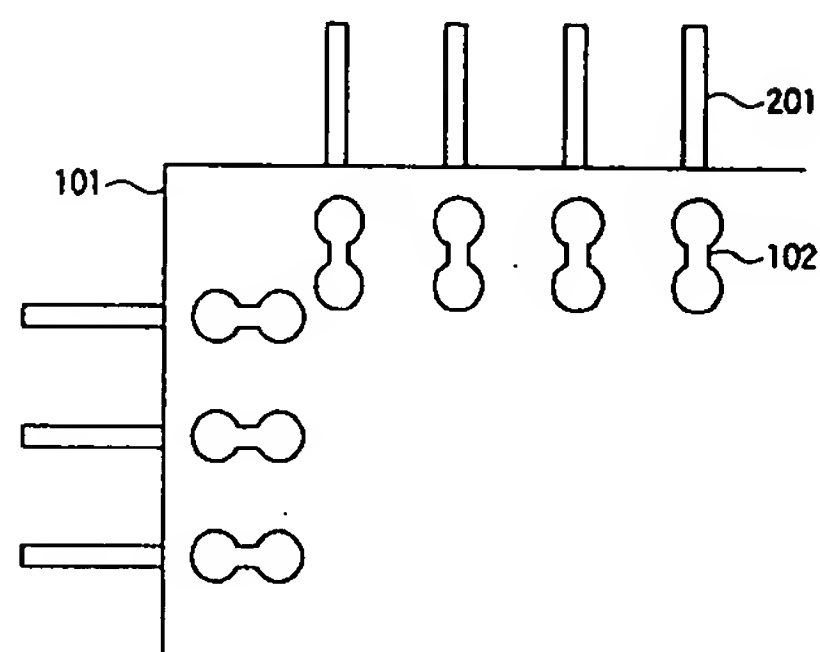
50

- 8 2 6 切断後のヒューズ
- 1 0 0 9、1 0 1 0 トランジスタスイッチのゲート部分に接続された配線
- 1 1 0 1、1 2 0 1、1 3 0 1 基板
- 1 1 0 5、1 2 0 5 基板の導体パターン
- 1 1 0 4、1 1 0 6、1 2 0 4、1 2 0 6 基板の導体パターン（従来）
- 1 1 1 4、1 1 1 6 基板の導体パターン（端子配置変更後）
- 1 3 0 2 変換基板
- 1 3 0 4 変換基板からの端子（端子配置変換後）
- 1 3 0 4 基板上的変換基板端子差し込み口

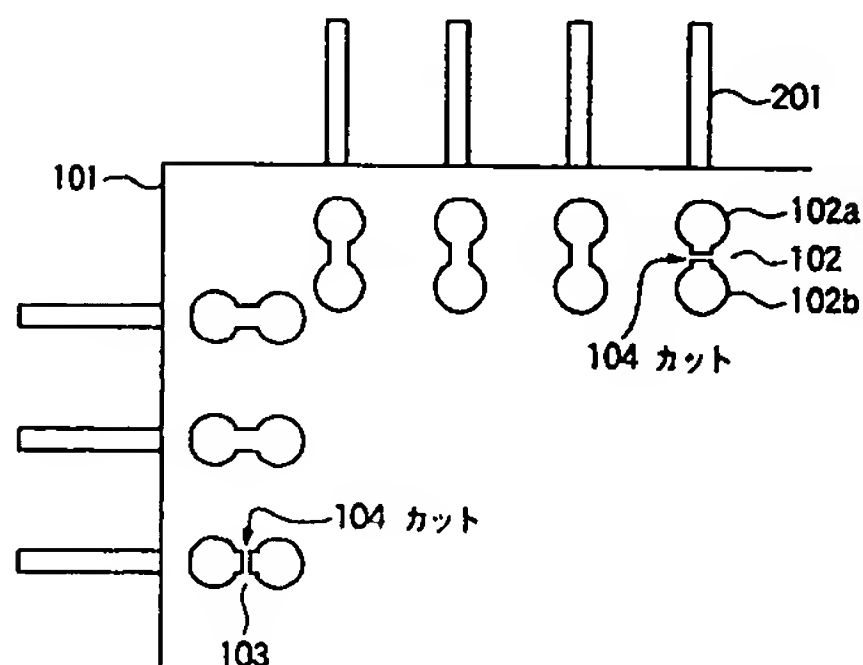
【図 1】



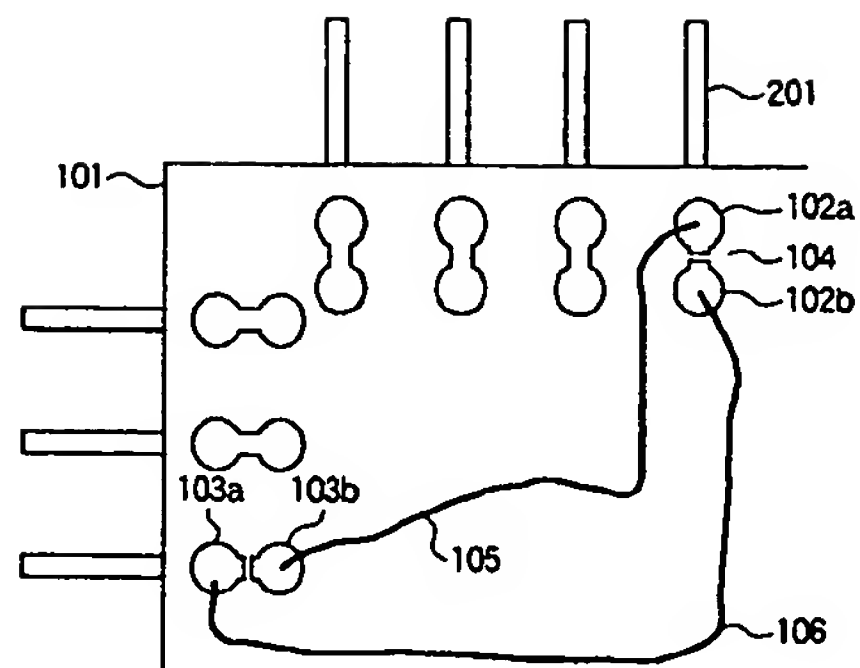
【図 2】



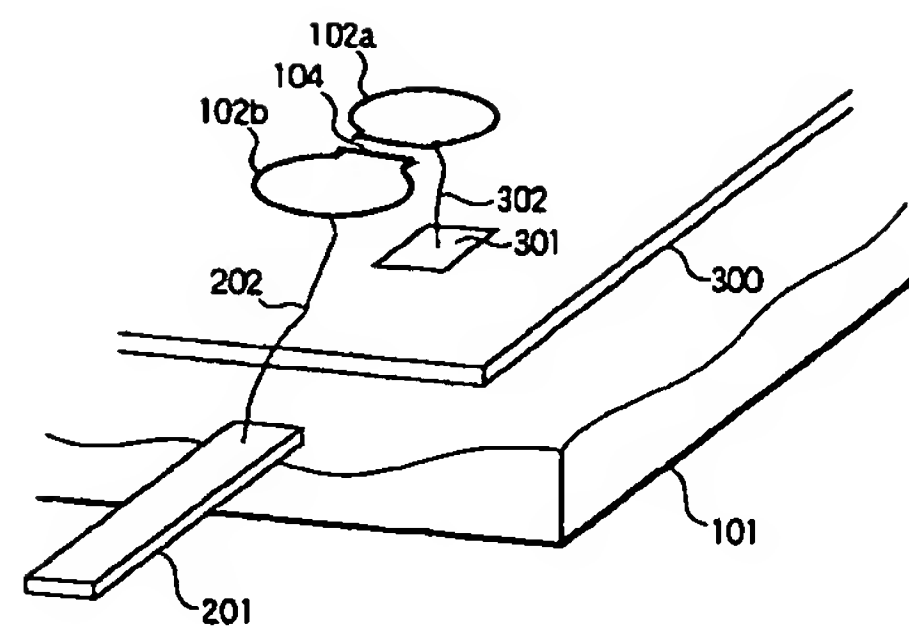
【図 3】



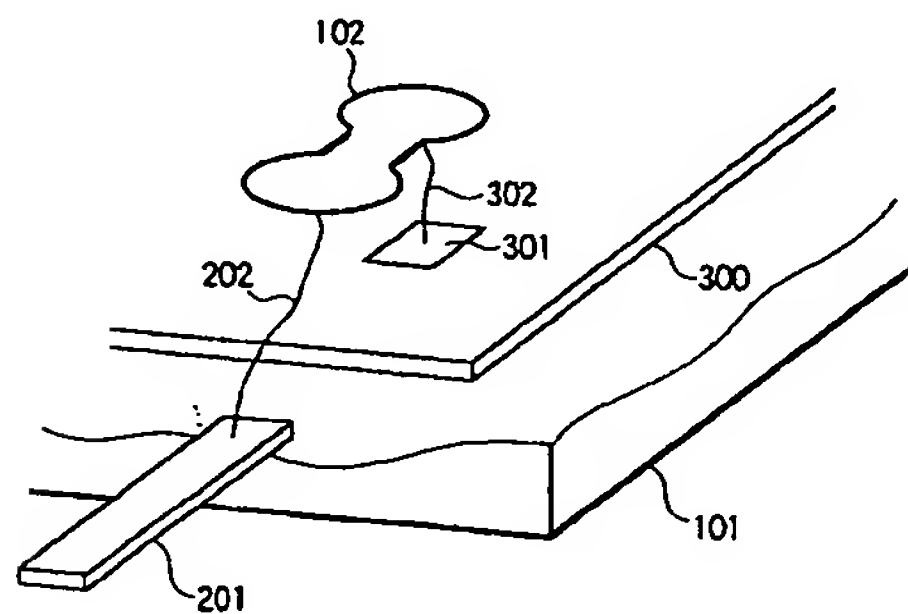
【図 4】



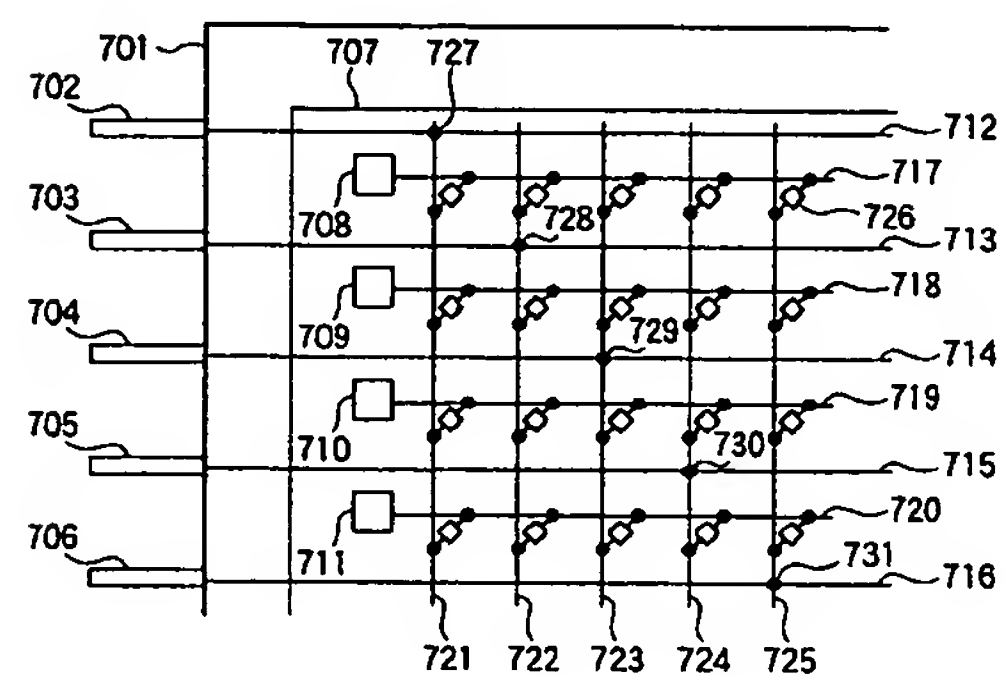
【図 6】



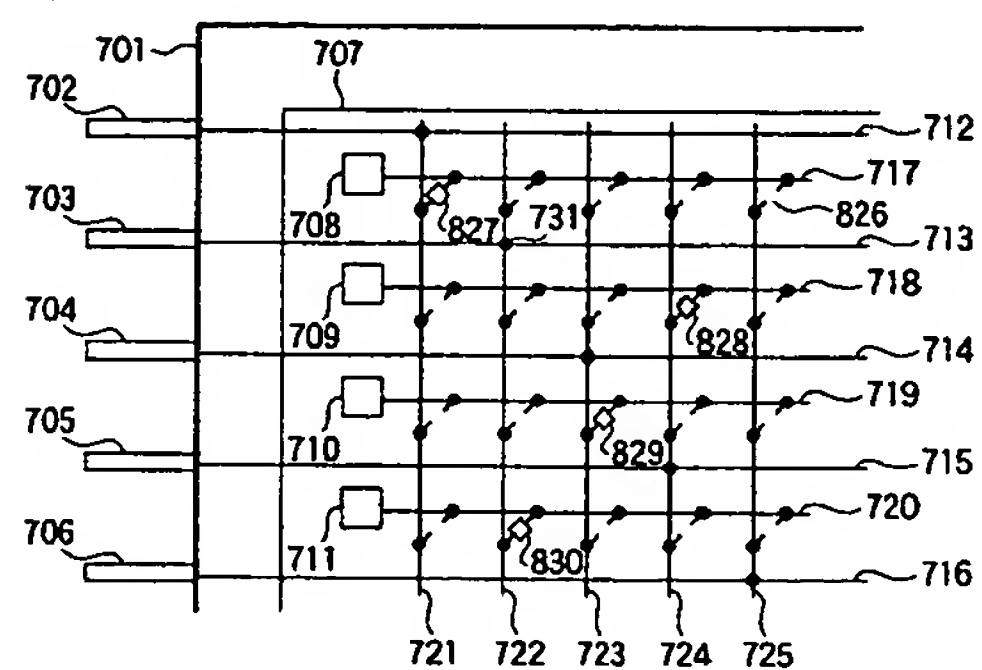
【図 5】



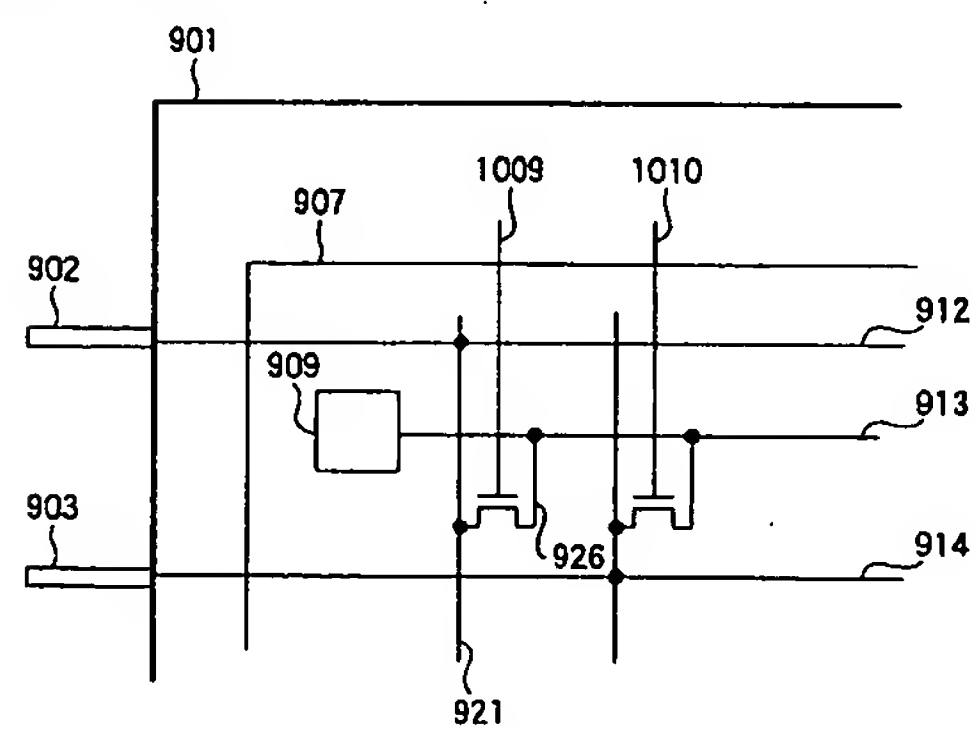
【図 7】



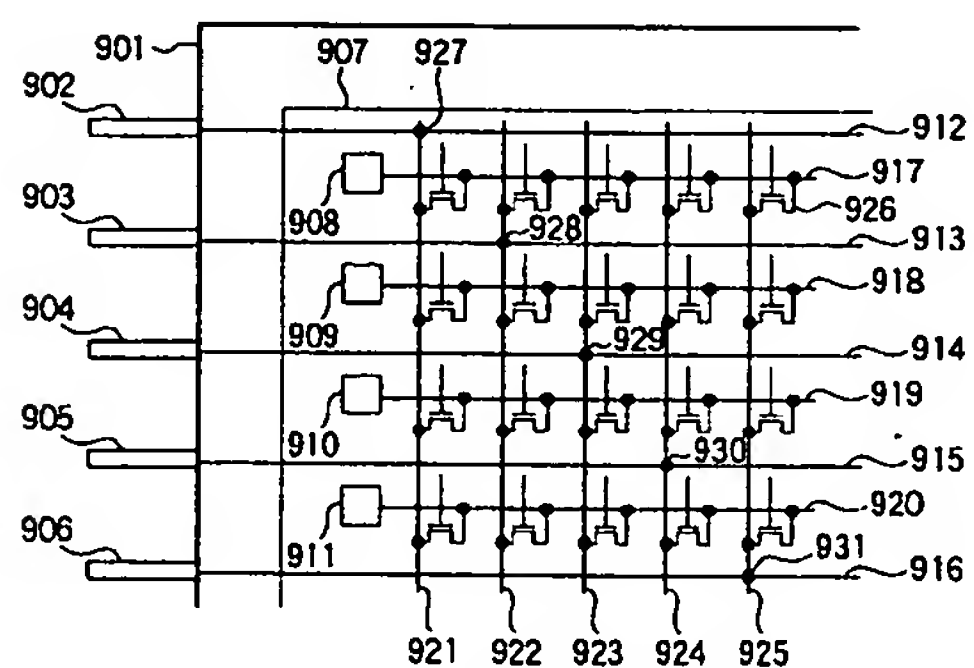
【図 8】



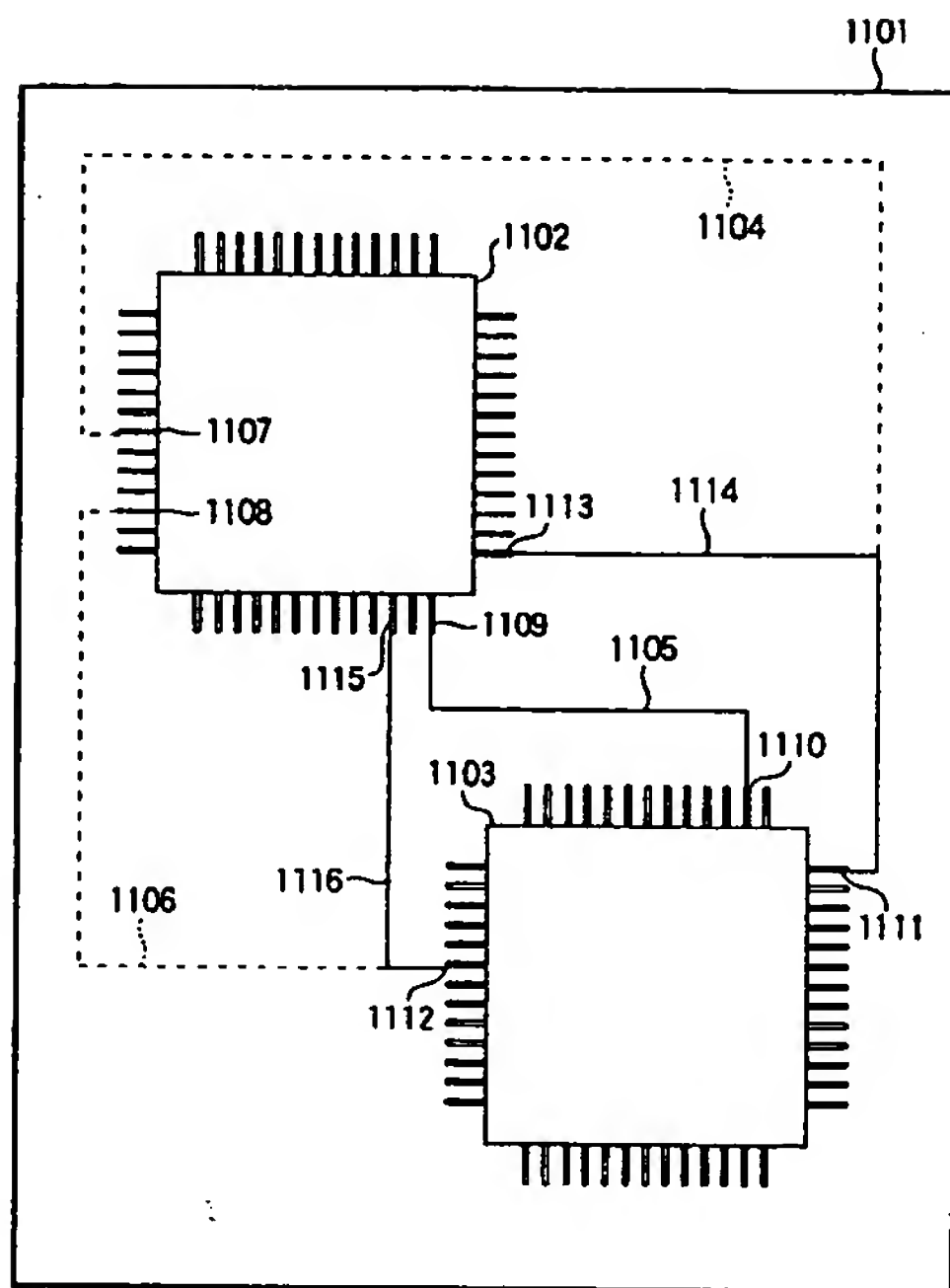
【図 10】



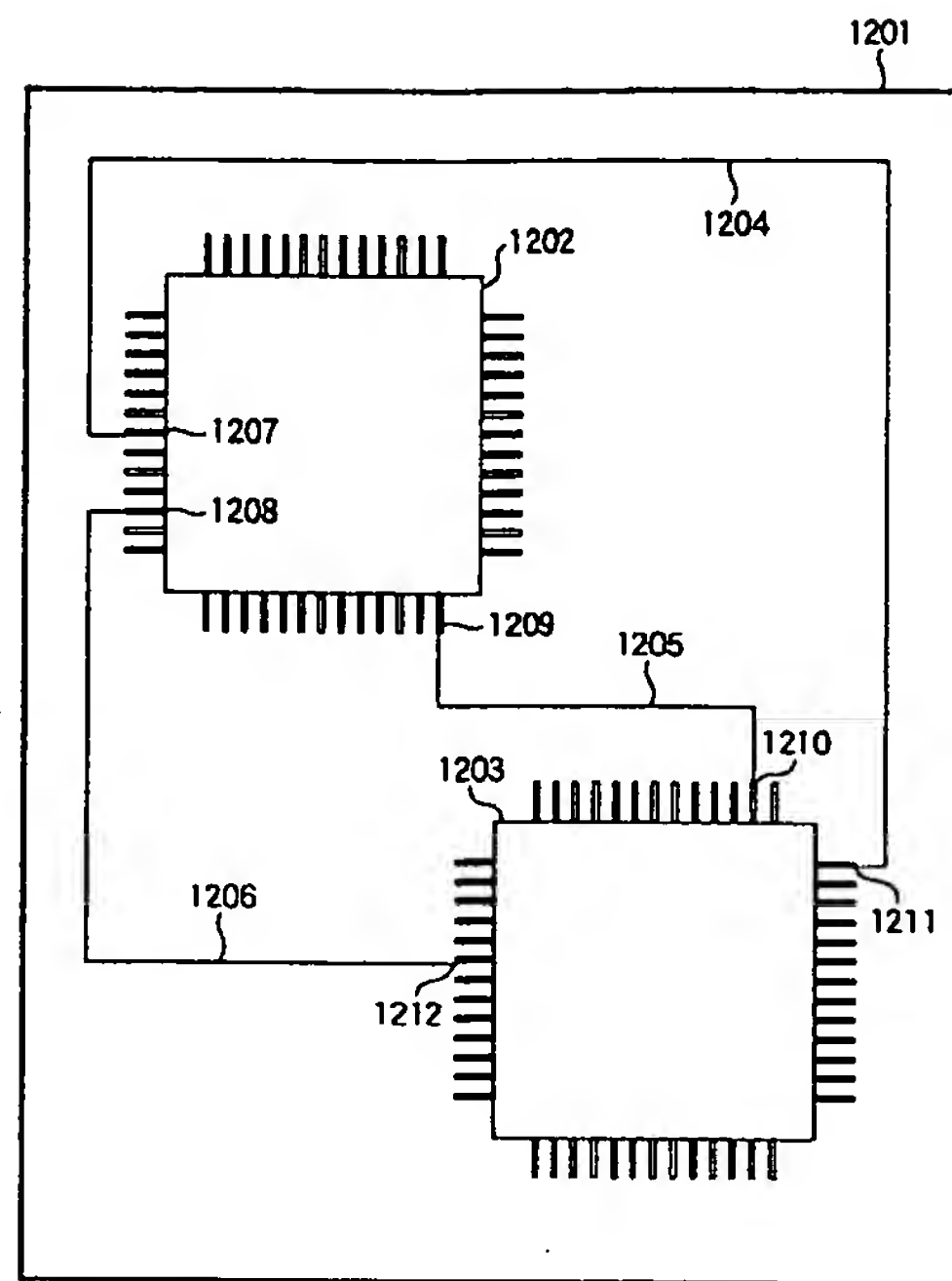
【図 9】



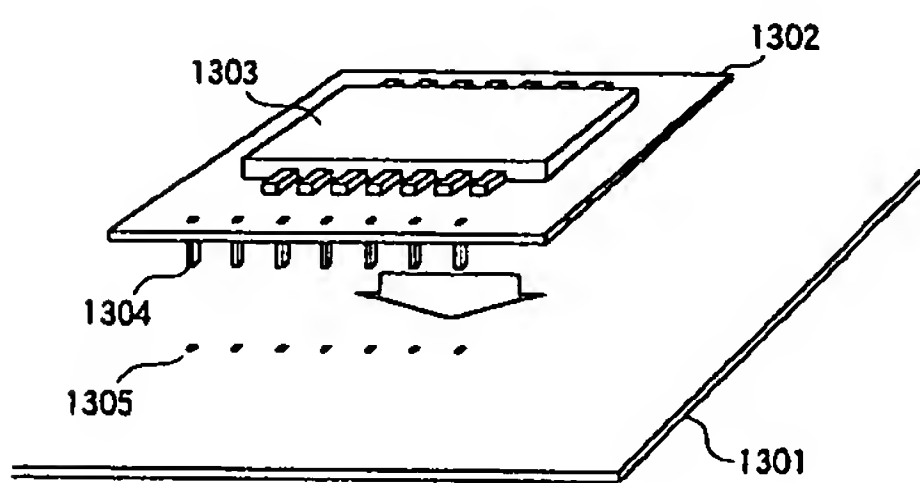
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 辻 賢二

大阪府門真市大字門真 1006 番地 松下電器産業株式会社

Fターム(参考) 4M109 AA01 BA01 CA21 DA10